

ARRAY PROCESSOR, PROCESSING ELEMENT AND MASS PARALLEL PROCESSOR

Patent number: JP2543306 (B2)
Publication date: 1996-10-16
Inventor(s): POORU ANBA UIRUKINSON, ; JEIMUZU WAREN DEIFUENDAAFUAA, ; PIITAA MAIKERU KOTSUJI, ; HOORU ANBA UIRUKINSON, ; JEIMUZU WAREN DEIFUENDAAFUAA
Applicant(s): INTERNATL BUSINESS MACH CORP <IBM>, ; INTAANASHONARU BIJINESU MASHIINZU CORP
Classification:
- International: G06F15/16; G06F15/80; G06F15/16; G06F15/76; (IPC1-7): G06F15/16; G06F15/80
- european:
Application number: JP19930092765 19930420
Priority number(s): US19920887455 19920522

Also published as:

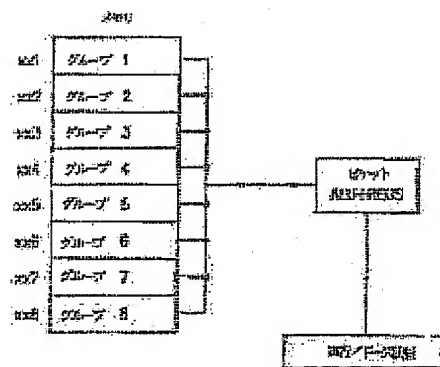
JP6019864 (A)

Cited documents:

US4831519 (A)

Abstract of JP 6019864 (A)

PURPOSE: To provide a mechanism for effectively providing the purpose of grouping by the dynamic independence of a picket. **CONSTITUTION:** This array processor is provided with a structure for assigning pickets to groups 1-8 as array functions in which array processors are operated in parallel by all the active processing elements of an array, and a mechanism for using grouping for selecting a certain picket for an arithmetic operation unique to the problem of the grouping. The position of a memory in each picket is assigned to each group in which a bit is set or reset for indicating participation in the groups 1-8, and the position of the memory forms one part of the processing elements which themselves can be copied. In the system using a shared memory, one part of the memory is assigned as a local memory, and also as a large area memory, and then a local relevant memory part is formed.



Data supplied from the *espacenet* database — Worldwide

(10) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2543306号

(45) 発行日 平成8年(1996)10月16日

(24) 登録日 平成8年(1996)7月25日

(51) Int. Cl. ⁶	識別記号	序内整理番号	P I	技術表示箇所
G 0 6 F 15/16 15/80	B 9 0		G 0 6 F 15/16 15/80	3 9 0 T

請求項の数3 (全 11 頁)

(21) 出願番号 特願平5-82765

(22) 出願日 平成5年(1993)4月20日

(65) 公開番号 特開平6-19864

(43) 公開日 平成8年(1994)1月28日

(31) 優先権主張番号 8 8 7 4 5 5

(32) 優先日 1992年5月22日

(33) 優先権主張国 米国 (US)

(73) 特許権者 390009531

インターナショナル・ビジネス・マシー
ンズ・コーポレーション(INTERNATIONAL BUSI
NESS MACHINES COR
PORATIONアメリカ合衆国10504, ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ボール アンバ ウィルキンソン

アメリカ合衆国13732, ニューヨーク州
アパラテン、フォレスト ヒル ロード
544

(74) 代理人 弁理士 関宮 孝一 (外1名)

審査官 石井 茂和

最終頁に続く

(54) 【発明の名称】 アレイ・プロセッサ

1

(57) 【特許請求の範囲】

【請求項1】 アレイ・コントローラと、SIMD動作
モードで動作する複数の処理要素とを備えるアレイ・プ
ロセッサであって、前記処理要素の各々が、算術演算要素、複数のレジス
タ、局所メモリ、及び前記アレイ・プロセッサ内の他の
処理要素との相互接続手段を含むビケットから成り、
各ビケットが、前記アレイ・プロセッサの動作中に相互
接続され、各ビケットが、ビケットのグループ（以下「ビケット・
グループ」と称する）内でデータを個別的に処理するた
めに、当該ビケット自体を、1つ又は複数のビケット・
グループに動的に割り当てるための手段を有し、前記アレイ・プロセッサ内の全てのビケットが、各クロ
ック・サイクルごとに、前記アレイ・コントローラから

2

指令を受け取って当該指令を実行し、

更に、各ビケットの前記局所メモリが、ビケット・グル
ープの各々に対応する一のメモリ位置を有し、当該メモ
リ位置の状態によって、当該メモリ位置に対応するビケ
ット・グループに当該ビケットが参加するかどうかを表
示するようにした、アレイ・プロセッサ。【請求項2】 各ビケットが、当該ビケットの内部状態
を保存するためのドーズ・モード手段及びドーズ・ラッ
チを有し、当該ドーズ・ラッチの内容が、当該ビケット
内の計算の結果に応じて変更されるようにした、請求項
1記載のアレイ・プロセッサ。【請求項3】 各ビケットの内部状態を保存するた
めに、当該ビケットの状態に影響する計算の結果だけが前
記ドーズ・ラッチにロードされるように、当該ビケット
内の前記局所メモリへの格納を禁止するとともに、当該

(2)

特許2543306

3
ビケット内の前記局所メモリの読み取り及び算術計算を含む他の動作を継続することを許容するようにした、請求項2記載のアレイ・プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のビケットを含んでいるアレイ・プロセッサに係り、更に詳細に説明すれば、アレイ・プロセッサによってプログラムを実行するために、SIMD/MIMDアレイ・プロセッサ内の諸ビケットをグループ化するための機構に係る。

【0002】関連する特許出願

米国特許出願第611594号（特願平3-278900号に対応）には、100乃至1000個の処理要素から成る並列、並列アソシアティブ・プロセッサ・システムが記述されている。しかし、この特許出願には、ドーズ・ラッチを含む本発明の改良点は、全く記載されていない。

【0003】用語の説明

・ALU

ALUとは、各処理要素の算術演算部である。

【0004】・アレイ

アレイとは、1次元又はそれ以上の次元における要素の配列である。超並列計算機のハードウェアの観点からすれば、アレイとは、同一の構成を有する構成体（処理要素）の集合であるのが普通である。データの並列動作（演算）を実行する場合、各処理要素は、それぞれに動作が割り当てられるとき、必要に応じて、これらの動作をそれぞれ独立的に且つ並列的に実行することができる。一般に、アレイは、処理要素の格子として考えることができる。

【0005】・アレイ・コントローラ

アレイ・コントローラは、アレイ・プロセッサ用のコントローラとしてプログラムされるユニットである。アレイ・コントローラは、アレイ・プロセッサ内に配置される処理要素をグループ化するためのマスタ・コントローラの機能を実行する。

【0006】・アレイ・プロセッサ

アレイ・プロセッサの2つの主要なアーキテクチャには、複数命令複数データ・ストリーム（MIMD）と、単一命令複数データ・ストリーム（SIMD）がある。MIMDアレイ・プロセッサでは、その各処理要素が、それ自体のデータについてそれ自体の一意的な命令ストリームを実行する。他方、SIMDアレイ・プロセッサでは、その各処理要素は、共通の命令ストリームからの同一の命令に制御されているが、各処理要素に関連するデータは一意的である。本発明の好適なアレイ・プロセッサは、高度並列アレイ・プロセッサ（Advanced Parallel Array Processor: APAP）と呼ばれ、他の特徴を有している。

【0007】・コントローラ

4
コントローラとは、相互接続ネットワークのリンクを介してデータ及び命令の送信を指令するデバイスである。その動作は、当該コントローラが接続されるプロセッサによって実行されるプログラムによって制御されるか、又は当該コントローラ内で実行されるプログラムによって制御される。

【0008】・リンク

リンクとは、物理的又は論理的な要素である。物理的リンクとは、複数の処理要素を結合するための物理的接続である。

【0009】・MIMD

MIMDとは、アレイ・プロセッサのアーキテクチャであって、1処理要素ごとに1つずつ位置決めされる複数データ・ストリームを実行するために、アレイ・プロセッサ内の各処理要素がそれ自体の命令ストリームを有し、従って全体として複数命令ストリームを有するものの、アーキテクチャを意味する。

【0010】・モジュール

モジュールとは、個別化され且つ識別可能なプログラム・ユニット、又は他の構成要素とともに用いられるように設計されたハードウェアの機能ユニットである。単一の電子チップ内に含まれる処理要素の集合も、モジュールと呼ばれる。

【0011】・ノード

一般に、ノードとは、諸リンクの接続点である。一般的な処理要素（PE）のアレイでは、1つのPEが1つのノードとなる。各ノードが、モジュールと呼ばれるPEの集合を含むこともある。代表的な例では、各ノードを、8個のプロセッサ・メモリ要素（PME）から形成するのが好ましい。

【0012】・ノード・アレイ

PMEから構成されるモジュールの集合は、ノード・アレイと呼ばれることもあり、複数のモジュールから成るノードのアレイである。一のノード・アレイは、通常は、数個のPMEよりも多い。

【0013】・ビケット

ビケットとは、アレイ・プロセッサの構成要素である。ビケットは、一のアレイ・プロセッサのn分の1に相当し、PMEの形態をとる。本発明のPMEチップに従って設計されたプロセッサ論理は、前掲の関連する特許出願に記述されているビケット論理を実現するか、又は一のノードとして形成されたアレイ・プロセッサ用の論理を有することができる。ビケットという用語は、アレイ・プロセッサの分野で常用されている用語「処理要素（PE）」と類似している。ビケットに相当するアレイ・プロセッサ内の処理要素は、1クロック・サイクルの間に複数の情報バイトをビット並列に処理するように組み合わされた、プロセッサ要素及び局所メモリから構成するのが好ましい。代表的な例におけるビケットは、1
50 バイト幅のデータフロー・プロセッサ（ALU+レジス

(3)

特許2543306

5

タ)と、32キロバイト以上の容量を有する局所メモリと、プリミティブ制御と、当該ビケットを他のビケットと相互接続するための手段から構成されている。

【0014】・ビケット・プロセッサ

ビケット・プロセッサとは、ビケットのアレイと、相互接続ネットワークと、I/Oシステムと、マイクロプロセッサ、格納ルーチン・プロセッサ及び当該アレイを動作させるマイクロ・コントローラから成るSIMDコントローラとを備えたトータル・システムである。

【0015】・ビケット・アーキテクチャ

ビケットアーキテクチャは、幾つかの多様な種類の問題に適応する特徴を有する処の、SIMDアーキテクチャの好ましい実施例である。これらの問題は、次のものを含んでいる。

- セット・アソシエティブ処理
- 並列的な数値処理
- 画像と類似する物理的アレイの処理
- PME

PMEという用語は、「プロセッサ・メモリ要素」を意味するものとして用いられる。一のPMEは、一のビケットを包含する。一のPMEは、一のアレイ・プロセッサのn分の1であって、一のプロセッサ要素と、その関連するメモリ要素と、制御インタフェースと、相互接続ネットワークの一部から構成される。PMEは、ビケット・プロセッサの場合のように、規則的なアレイとの接続性(connectivity)を有するか、又はPMEのノードの場合のように、サブアレイの一部との接続性を有することができる。

【0016】・経路指定

経路指定とは、一のメッセージがその宛先に到達するまでの物理的経路を割り当てることである。経路指定の割り当てには、データ源(発信元)及び宛先が関連する。これらの要素又はアドレスは、一時的な関係又は類似性を有する。メッセージの経路指定は、割り当てテーブルを参照することによって得られる処の、キーに基づくことが多い。ネットワーク内の宛先は、アドレス可能な任意の処理要素であって、そのリンクを識別する経路制御アドレスによって送信される情報の宛先としてアドレスされる。メッセージ・ヘッダの宛先フィールドが、該当する宛先を識別する。

【0017】・SIMD

SIMDとは、アレイ・プロセッサのアーキテクチャであって、その全ての処理要素が、1処理要素ごとに1つつ割当てられている複数データ・ストリームを実行するように、単一命令ストリームから指令されるようなものである。

【0018】・SIMD/MIMD

SIMD/MIMDとは、幾つかの複雑な命令を処理するために、或る期間の間に、MIMDからSIMDへ切り替わることができるような2重の機能を有し、従って

6

2重の動作モードを有する計算機を表す用語である。MIMD計算機の入力端又は出力端として、シンキング・マシン社の超並列計算機「コネクション・マシン-2 (CM-2)」が配置される場合、プログラマは、一の問題の異なる部分を実行するために、2重の動作モードを動作させることができる。これらの計算機は、マスタ制御プロセッサを他のプロセッサと相互接続するバスを用いている。このマスタ制御プロセッサは、他のプロセッサの処理に割り込む能力を有している。他のプロセッサは、独立のプログラム・コードを実行することができる。割り込みの間、チェックポイントを行う(制御対象プロセッサの現在の状態をクローズし且つ保存する)ための手段が提供されねばならない。

【0019】・SIMIMD

SIMIMDとは、アレイ・プロセッサのアーキテクチャであって、その全ての処理要素が、1処理要素ごとに1つつ位置決めされる複数データ・ストリームを実行するべく、単一命令ストリームから指令されるようなものである。このアーキテクチャでは、命令の実行を横断する処の、各ビケット内のデータ従属動作は、SIMD命令ストリームによって制御される。SIMIMD計算機とは、SIMD命令ストリームを用いて複数命令ストリームを(1ビケットごとに1つつ)順序付け、そして複数データ・ストリームを(1ビケットごとに1つつ)処理するための能力を備えた、単一命令ストリーム計算機である。SIMIMDは、PMEシステムによって実行可能である。

【0020】・同期動作

MIMD計算機内の同期動作は、各アクションが一の事象に關係付けられるような動作モードである。この事象は、クロックであるのが普通であるが、一のプログラム・シーケンス内で規則的に生じるような特定の事象でもよい。一の動作が複数のPEへディスパッチされると、これらのPEは、その機能を独立に実行するように進行する。この動作が完了するまで、制御はコントローラへ展されない。もし、要求が処理要素のアレイに対するものであれば、当該アレイ内の諸処理要素に対する要求がコントローラによって生成された後、かかる処理要素は、制御がコントローラへ戻される前に、それぞれの動作を完了しなければならない。

【0021】

【従来の技術】より速い計算機への終わりのない探究において、技術者達は、今日の計算機を当惑させる複雑な問題を克服するために、数百〜数千台の低コストのマイクロプロセッサを並列にリンクすることにより、超並列計算機を構築するようになってきた。本発明は、超並列計算機を構築するための新しい技法に係る。本発明の多くの改良点は、従来技術を背景として考察すべきものである。特定のアプリケーションに最も適合しているアーキテクチャを選択するには、システム上のトレード・オフ

(4)

特許2543306

7

フが必要とされるが、これまでに満足できる解決法はなかった。本発明の目標は、解決法の提供を一層容易にすることにある。即ち、本発明は、SIMD及びMIMD動作を表現可能なアレイ・プロセッサに係る。

【0022】以下、SIMD計算機に係る種々の米国特許について概説する。これらの米国特許には、本発明に従った機構、即ちアレイ・プロセッサによってプログラムを実行するために、SIMD及びMIMDアレイ内の諸ピケットをグループ化するための機構は、開示又は示唆されていない。

【0023】米国特許第4783738号は、自律性（autonomy）の諸側面に向けられており、具体的には、SIMDコントローラが、アレイ・プロセッサ内の全ての処理要素（PE）に対し一の指令を発行すると、各PEが空間的又はデータ従属特性の結果として、この指令内のビットを変更するか、又はこの指令内にビットを挿入することができるようになっており、例としては、ADD/SUB、SEND/RECEIVE及びOPA/OPBの生成が含まれている。この機能は、複数の行を画像処理して、画像の境界を画定するのに用いられる。この米国特許は、本発明のグループ化に関連して用いることができる他の、複数の自律機能の内の一つ（本発明では、データ従属動作をALUに実行させている）に類似しているが、本発明は、この米国特許のような動作ビットの変更又は挿入を意図していない。本発明は、ALU機能が、アレイ・プロセッサ内の空間的位置の特定の関数であることを考慮しない。この米国特許は、データ従属機能に係るという点で、本発明の機構のうちの或るものと類似しているが、本発明は、DWIM（Do What I Mean：自分が欲することをを行う）機能を実現することによって、一の命令シーケンスのデータ従属部分（符号又は条件コードなど）が単にALUを強制して同様のことを行わせるようにしている。

【0024】米国特許第4736291号は、データ・アレイの高速処理を実行する処の、アレイ変換プロセッサについて記述している。この米国特許は、地震分析の分野におけるFFT（高速フーリエ変換）アルゴリズムを実行するように、最適化されている。この米国特許の中心は、バルク・メモリ及び最大15個までのデバイスによって共有されるシステム制御バスである。各デバイスは、書き込み可能な制御記憶装置と、プログラム・メモリと、制御ユニットと、15個のデバイスの各々にそれぞれ固有の特性を提供するデバイス従属ユニットを有する。一方、このアレイ変換プロセッサは、必ずしもそれ自体が並列アレイ・プロセッサではないし、またこの米国特許では、このことについて言及されているわけでもない。アレイ変換は、本発明のシステムによっても実行することができる。しかし、この米国特許に記述されているプロセッサは、複雑且つ反復的な順序で、データ・アレイを処理する幾つかのサブユニット（ステージ）を

8

備えている。この米国特許とは対照的に、本発明のSIMDアレイ・プロセッサでは、複数の処理要素がデータ・アレイの複数の要素をそれぞれ取り出すとともに、これらの処理要素においてデータを並列に処理するようにしている。

【0025】米国特許第4831519号は、各々が16ビット幅を有する複数の処理要素（PE）を互いに接続して種々のデータ・フォーマットに効率的に適合させることができるように、各PEからその左側及び右側に延びるようなプロセッサ間接続を備えたSIMDアレイ・プロセッサについて記述している。例えば、64ビットの浮動小数点ワードを4個のPEによって処理する場合、これらのPEのうち1つ（上位）のPEによって、この浮動小数点ワードの指数部（16ビット）を処理し、そして互いに接続された残りの3つのPEによって、この浮動小数点ワードの小数部（48ビット）を処理するようになっており、桁上げ／借りなどの制御は、これを達成するためにPE間で互いに結合することができる。1つのチップには、データ処理用の16個のPEと、アドレス生成用の2個のPEと、2個のスペアPEとを搭載することができる。この米国特許の1/Oは、4レベルの信号方式を使用することによって、2つの論理信号を1つのピンへ結合するとともに、この2つの線の論理条件に依存して4種類の電圧のうちの1つを発生することを可能にしている。この米国特許のデバイスは、コントローラ機構を提供しなければならないが、これについては殆ど記述されていない。この米国特許のアレイ・プロセッサには、種々のサイズのデータに作用するために、複数のPEをどのようにしてグループ化するかを定義する大域（グローバル）MASKと、マスタPEからその右側のスレーブPEへ伝播する局所NEST制御とが供給される。しかし、この米国特許では、一のPEがどのグループに所属するかを決定することについて、全く記述されていない。また、任意の処理が、NEST制御ではなく、処理中のデータに基づいて行われるという意味での局所的自律性についても、全く記述されていない。この米国特許は、互いに隣接する複数のPEを結合することによって、16、32及び48ビット幅のデータを処理するための単一のプロセッサとして動作するように、水平方向に拡張可能なSIMDチップ用の可能な設計を記述している。しかし、この米国特許では、複数の処理要素をどのようにして結合することができるかという点や、単一のプロセッサとして動作する他の互いに隣接する複数のPEが、16、32又は48ビット幅のデータをどのようにして処理することができるかという点や、一の処理要素が所定の処理に参加すべきであるか否かをどのようにして知り、又は決定するかという点については、全く記述又は示唆されていない。この米国特許は、大域制御MASKによって指令されるグループ化を有している。しかし、この米国特許では、局

(5)

特許2543306

9

所的自律性が欠如している。このことは、本発明を理解した後に、この米国特許を再検討すれば明らかとなるであろう。

【0026】米国特許第4783782号は、前掲の米国特許第4831519号に記載されている、SIMDアレイ内にある最大2個の欠陥PEを分離するための、SIMDチップの製造時テストについて記述している。このチップ上のPROMセクションには、欠陥データが格納される。この欠陥データを、コントローラによって読み取った後、このチップ上の資源を動的に割り当てる

ことができる。このように、この米国特許のチップは、プロセッサの制限された自律性を有するに過ぎない。

【0027】米国特許第4748585号は、種々の長さのデータに適応するように、並列プロセッサの諸要素をセグメントへ割り当てるための機構について記述している。この米国特許も、前掲の米国特許第4831519号に類似しているが、この米国特許は、各ユニプロセッサの幅よりも広いワードを処理するために、複数のユニプロセッサを互いに結合して、これをグループ化することに係る。各ユニプロセッサは、マイクロ・シーケンサ、ALU、レジスタなどを有しているという点で、完成している。この米国特許の特徴は、幅が広いデータ・ワードを処理するために、幾つかのユニプロセッサが互いに融通の利かない態様で動作され得る、という点にある。セグメンテーションの制御は、組み合わせコード及び大域条件コードを用いた大域制御によって行われるようになっている。MIMDアレイとして、このデバイスは、SIMDアレイの能力を提供することはできない。これに対し、本発明は、この米国特許のように複数のユニプロセッサを互いに結合して一層幅の広いプロセッサを構築するためのMIMDアレイ用の制御に係るのではなく、複数のピケットを改良された態様で連結することに係る。

【0028】米国特許第4825359号は、データ・アレイの処理、例えばその高速フーリエ変換(FFT)を行うためのプロセッサについて記述している。このプロセッサは、幾つかの処理オペレータ(演算子)を含んでおり、その各々は計算中に1つのステップを実行するようにプログラムすることができる。このプロセッサは、複雑な諸プロセスを実行する際にパイプラインとして動作する処の、幾つかの処理演算子を備えた複雑なユニプロセッサとして分類することができる。この米国特許では、グループ化又は自律性の何れも全く記述されていない。この米国特許は、広範囲の演算子に適応するように、何らかの改良を行うことを意図しているに過ぎない。

【0029】米国特許第4905143号は、2つの型の変数の全ての組み合わせの計算を実行するとともに、これらの計算結果を用いて局所的なデータ従属性を有する再帰的関数を計算するためのアレイ・プロセッサにつ

10

いて記述している。これらの計算結果は、音声認識の分野におけるパターン・マッチングの場合に用いられる処の、動的な時間ワーピング又は動的計画法の理論を基礎とするマッチング計算によって特徴付けられる。このプロセッサは、1種のシストリック(systolic)MIMDテーブルとして機能するように意図されている。複数のPEは、リング状に配置され、そしてリング内の次のPEへ中間的な結果を渡すようになっている。各PEは、それ自体の命令メモリ及び他の手段を有している。この米国特許は、SIMDアレイ内のPEの自律性について記述していないばかりか、複数のPEをリング状に物理的に配置することを除き、複数のPEをグループ化することについても、全く記述していない。

【0030】米国特許第4910665号は、各PEが、これに隣接する8個の要素を直接的にアクセスすることができるように、SIMDアレイ・プロセッサの2次元的な相互接続ネットワークについて説明している。その通信媒体は、隣接する4つの要素をそれぞれの角部で相互接続する処の、ドット接続ネットワークである。この米国特許でも、SIMD計算機が開示されているが、本発明のような、PEの局所的自律性又はグループ化が提供可能であるか又は提供すべきであるかという点については、全く触れられていない。

【0031】米国特許第4925311号は、本発明と同様の機構の実現には、全く関係がない。この米国特許では、1つの問題を解決すべく、多重プロセッサ・システム内の複数のプロセッサを、グループとして割り当てることことができる。更に、各プロセッサは、メッセージや、セマフォ及び他の制御を、他のプロセッサと授受するだけでなく、それ自体をグループへ付加したり、グループからそれ自体を除去することができる。この米国特許は、そのMIMDとしての性質上、本発明のようにSIMDアレイ内のPEにおいて局所的自律性を与えることについては、何も記述していない。その代わり、この多重プロセッサ・システム内の各プロセッサは、RAM、マイクロプロセッサ及び或る機能ユニット(ディスク・コントローラ)を含む処の、ネットワーク・インタフェース・コントローラを有している。グループ化は、各プロセッサのネットワーク・インタフェースによって制御される。本発明は、このような精密なタスク分割を必要としない。

【0032】米国特許第4943912号は、NEWSネットワークに接続されたMIMDアレイ・プロセッサについて記述している。即ち、アレイ・コントローラは、アレイ・プロセッサ内にある各PEのメモリにプログラムをロードした後、実行を開始すべき複数のPEを識別するために一の手続き開始指令を発行する。各PEは、複数のタスク・パターンを保持するレジスタと、当該PEのタスク・パターンを大域タスク・パターン・指令と突き合わせるための比較手段を含んでいる。この比

(6)

特許2543306

11

較の結果は、当該PE内のプログラム開始点を選択するために用いられるか、又は当該PEをアイドル状態にするために用いられる。しかし、この米国特許は、本発明のように、SIMDアレイ内のPEにおける自律性については、これを示唆していない。前述の比較手段及びその比較結果は、種々の並行タスクのために、複数のPEを分類するか、又はグループ化するために用いることができる。これに対し、本発明は、SIMD環境内の複数のビケットが、それら自体を分類又はグループ化することをどのようにして許可されるか、ということを経路化する。この効果は、SIMDコードの一のセクションが実行されている間、複数のビケットの一部を分離してこれを活動的にすることにある。かくして、本発明の計算機は、処理のために他のグループを起動するように進行することができる。

【0033】米国特許第4967340号は、シストリックなアレイ・プロセッサを記述している。このアレイ・プロセッサ内の各処理要素は、2つのレジスタ、加算器、乗算器及び3つのプログラマブル・スイッチから成る。このアレイ・プロセッサを構成するため、その各処理要素内のスイッチがコントローラによって設定される。その後、データは、所望の結果を作成するために、これらの処理要素を通して送り込まれる。この米国特許は、本発明に係るシステムを示唆していない。

【0034】米国特許第5005120号は、複数のプロセッサが存在しているという意味で、アレイ・プロセッサを対象としている。しかし、この米国特許は、ビット直列の信号アレイ・プロセッサにおいて、データを並列させる際に用いられる時間割戻回路について記述しているに過ぎない。このアレイ・プロセッサの各処理要素は、ALUにデータを供給する処の、4つのビット直列レジスタから成る。第1のレジスタの前には、時間割戻回路が設けられている。このアレイ・プロセッサは、SIMD計算機とは全く無関係である。

【0035】米国特許第5020059号は、欠陥PEを除くようにアレイ・プロセッサを再構成して、基本的な2次元メッシュ内でツリー及び他のトポロジを実現する処の、アレイ・プロセッサ用の一般化された相互接続方式に係る。この米国特許には、アレイ制御アーキテクチャ、グループ化、又はPEの任意の側面に係る記述又は示唆は行われておらず、従って、PE内の自律性についての記述も行われていない。しかし、本発明のSIMD計算機では、アレイ・プロセッサ内の各ビケットにおいて、従来通り、全く同じ動作を実行する。1つ以上のビケットの局所的自律性を選択的に禁止（ディスエーブル）し且つ許可（イネーブル）することは、本発明の基礎とも云うべき立脚点である。前述のような従来技術の全ての努力があったにも拘わらず、1つの計算機によって、SIMD、MIMD及びSIMIMDプロセスを実行することは、前掲の関連する特許出願を除き、これ

12

まで実現されていない。実際、SIMIMDプロセス、浮動小数点演算その他に必要とされる機能は、当該技術分野において十分に開発されていない。

【0036】米国特許第5045995号は、各PE内のデータ条件に基づいて、SIMDアレイの各PEの機能を許可又は禁止するための機能について記述している。一の大域命令が全てのPEに発行されると、各PEはその内部にある一の条件をサンプルするとともに、状態レジスタのビットを介して当該PE自体を許可又は禁止する。他の大域命令は、これらのPEの状態を効果的に交換させる。かかる機能は、IF/THEN/ELSE及びWHILE/DOの構造体を実現するために用いることができる。更に、ネストされた許可条件をサポートするために、この状態をスタックすることができる。このように、この米国特許は、本発明の許可/禁止機能に関係している。しかし、この米国特許は、次の3つの条件を必要とする。

1. 初期テスト。状態ビットのロード。状態ビットに基づく許可/禁止。
2. PEの他の集合を許可するように、全ての許可/禁止ビットをフリップするための命令。
3. ネスティングを提供するための記憶装置。この米国特許の前述の機能は、不必要に複雑化されている。これに対し、本発明の機能は、この米国特許の前記3つの条件の全てを結合せずに、諸機能を許可/禁止することができる。本発明は、この米国特許に記述されているフリップ機能を必要としないが、この米国特許が提供するよりも広範囲の能力をシステムに対し提供することができる。本発明のSIMD計算機は、IF及びELSE命令の機能と、ビデオ処理に係る他の特徴との結合を、全く必要としない。

【0037】一般に、当該技術分野における要請及び本発明が目標とする技術に従って、前掲の関連する特許出願には、100～1000個のビケット（PE）から成る並列アレイ・プロセッサが記述されている。ビケットの選択された1つのグループ又は複数のグループによって処理を行うことができるように、何らかの方法で複数のビケットをグループ化することには、多くの理由がある。例えば、アレイ・プロセッサが2つ以上の多様なジョブを含んでいた、又は同一ジョブのうちでも極めて多様な複数の部分を含んでいるような場合には、この選択プロセスは、非常に厄介となるばかりか、多くの時間を浪費することになる。例えば、幾何学的な問題の \sin/\cos 部分の一部が、 $\sin(x)$ を処理することを必要とし、他方、この問題の他の部分が、 $\cos(x)$ を処理することを必要とすることがある。従って、 \sin を計算している間は、 \cos を計算するグループを非活動状態とし、次いで、 \cos を計算している間は、 \sin を計算するグループを非活動状態とすることが行われる。

13

【0038】しかし、SIN又はCOSグループ内の値が、計算したばかりの一の角度の結果であることを認識すると、困難が生じてくる。かくして、SIN又はCOSグループへの割り当てを、極めて動的にすることが必要となる。既に、複数のビケットが、2つ以上のグループに所属することがあり、またこれらのビケットが、瞬間的に異なるグループに所属するように、それぞれの状態を動的に変更することがあるから、これらのビケットについては、それら自体を動的な態様で再割り当てすることが一層効率的となるであろう。

【0039】この点に係る本発明の知見とは、各グループの再割り当てを行わせたり、又はどのビケットがどのグループに所属するかを実時間で知るために、アレイ・コントローラを用いるべきではない、とうものである。

【0040】

【発明が解決しようとする課題】従って、本発明の目的は、複数のビケット（PE）の動的で且つ自律的なグループ化を有効に行うための機構を提供することにある。

【0041】

【課題を解決するための手段】本発明は、SIMD/MIMDアレイにおいて、複数のビケットをグループ化するための機構を提供することにより、更に詳細に説明すれば、一のSIMD又はSIMIMDプログラムの実行中に、SIMD計算機内の複数のビケット（PE；処理要素）をグループ化することに係る。前掲の関連する特許出願には、好ましい実施例の諸側面が記述されているが、本発明の改良点は、アレイ・プロセッサ内の活動的な全てのビケットによって並列に実行されるアレイ機能として、複数のビケットを複数のグループに割り当てるための構造と、一のグループ問題に特有の計算を行うべき幾つかのビケットを選択するためにグループ化を用いるための機構とを包含している。

【0042】これらの改良点は、SIMD/MIMDアレイ内の複数のビケットをグループ化するための機構を、アレイ・プロセッサに提供することによって達成される。このアレイ・プロセッサは、一のアレイ・コントローラと、SIMD動作モードで機能することができる複数のビケットを有する。各ビケットは、一のALU、複数のレジスタ及び一の局所メモリを有し、このアレイ・プロセッサの動作中は、他のビケットと相互接続されている。各ビケットは、一のグループに所属する複数のビケットにおいてデータを個別的に処理するために、当該ビケット自体を、1つ以上のグループに動的に割り当てることができる。このアレイ・プロセッサ内にある全てのビケットは、各クロック・サイクルごとに、アレイ・コントローラから一の指令を受け取り且つこの指令を実行する。この場合、或る指令は、異なる動作を生成するように各ビケット内で解釈することができ、そしてこのような動作の間、各ビケットはSIMIMD動作モードで動作することができる。一のビケット内の独自の機

(7)

特許2543306

14

能は、アレイ・コントローラからのSIMD指令の結果として、当該ビケットが一のSIMD命令ストリームの処理に参加することを許可するか、又は当該ビケットが当該SIMD命令ストリームの処理に参加することを禁止する。

【0043】このアレイ・プロセッサは、局所的自律性のための機構と、ビケットの内部状態を保存するためのドーズ（休眠）モードと、ドーズ・ラッチを有する。このドーズ・ラッチは、一のビケット内の計算結果によって変更することができる。このドーズ・ラッチを変更可能なビケット計算は、計算されるデータごとの、又はビケットの局所メモリから読み取られるデータごとの、LOAD/SET/RESET命令を包含している。

【0044】本発明によれば、ビケットの状態は、当該ビケット内の局所メモリに格納することを許可しないことによって保存される。また、ビケット内の局所メモリの読み取り及び算術的計算を含む他の計算は、有効な結果のみが前記ドーズ・ラッチへ移動されるようにして、これを継続することができる。

【0045】このグループ化の結果として、アレイ・プロセッサ内にある複数のビケットのグループは、これらのグループが含んでいる問題の型によって分割されるようになっている。各ビケットは、一の問題について作業を行っている1つ又は複数のグループに対し、当該ビケット自体を割り当てるための手段を有している。

【0046】本発明の新規な概念に従って設計された新しいチップ及びシステムを作成することによって、能並列計算機及び他の計算機を構築するための新しい技法が提供される。本発明は、このようなシステムに向けられている。

【0047】本明細書では、ビケット・プロセッサと、高度並列アレイ・プロセッサ（APAP）が記述されている。ビケット・プロセッサが、一のPME（プロセッサ・メモリ要素）を利用可能であることは興味深い。ビケット・プロセッサが特に有用であるのは、非常に小型のアレイ・プロセッサが所望される処の、車載用のアプリケーションである。この関係において、ビケット・プロセッサは、高度並列アレイ・プロセッサ（APAP）に関連する本発明の実施例とは若干異なっている。しかし、両プロセッサの間には共通性が存在するから、本発明に従って提供される諸側面及び諸特徴を、これらの両プロセッサにおいて利用することができる。

【0048】ビケットは、プロセッサ要素及びメモリ要素並びに相互接続要素から形成される処の、一のアレイ・プロセッサの n 分の1の要素に相当する。また、このビケット概念は、APAPの n 分の1にも適用可能である。

【0049】ビケット・プロセッサとAPAPとを比較すると、両プロセッサは、データの幅、メモリのサイズ及びレジスタの数の点で相違することがあるけれども、

50

(8)

特許2543306

15

APAPの代替である超並列計算機の実現形態では、前者が、規則的なアレイの n 分の1に対する接続性(connectivity)を有するように構成されるのに対し、後者のAPAP内のPMEはサブアレイの一部である、という点で異なっている。両システムは、SIMIMDを実行することができる。しかし、ピケット・プロセッサは、MIMD型のPEを有するSIMD計算機として構成されているから、SIMIMDを直接的に実行することができるのに対し、MIMD計算機として構成されているAPAPは、SIMDをエミュレートするように制御されたMIMD型のPEを用いることによって、SIMIMDを実行することができる。両計算機ともPMEを使用する。

【0050】両システムは、 n 個のPE及びこれらのPEを相互接続するための相互接続ネットワークから成る処の、一の並列アレイ・プロセッサとして構成することができる。この場合において、当該アレイ・プロセッサの n 分の1は、一のPEと、その関連するメモリと、一の制御バス・インタフェースと、前記相互接続ネットワークの一部から成る。

【0051】この並列アレイ・プロセッサは、2重の動作モードを有しているから、その処理ユニットに対し、SIMD動作及びMIMD動作の2つのモードのうち何れかのモードで動作し、且つこれらの2つのモードの間で自由に移行するように、指令することができる。即ち、SIMD動作のモードが選択されている場合、処理ユニットは、各PEに対し、SIMIMDモードにおいてそれ自体の命令を実行するように指令することができる。他方、MIMD動作のモードが選択されている場合には、処理ユニットは、選択されたPEが、MIMDの実行をシミュレートすることを同期させることができる。これは、MIMD-SIMDと呼ばれる。

【0052】両システム内の並列アレイ・プロセッサが備えている相互接続ネットワークは、PE間で情報を受け渡すための経路を有する。情報の移動については、2種類の方法がある。第1の方法では、移動中のデータがその宛先を定義しないために、全てのメッセージが同時に同一の方向に移動するように、アレイ・コントローラが指令する。第2の方法では、各メッセージの開始部にあるヘッダが定義する宛先に従って、各メッセージの目

【0053】この並列アレイ・プロセッサのセグメントは、単一の半導体チップ上に設けられる処理ユニットの複数のコピーを有する。各セグメントは、当該セグメントに関連する相互接続ネットワークの一部と、バッファと、マルチプレクサと、前記相互接続ネットワークを拡張するために、当該セグメントが他のセグメントと縦目なし(シームレス)に接続されることを可能にするための制御部とを含んでいる。

【0054】各処理ユニットごとにコントローラからの

16

制御バスが設けられている。この制御バスは、各PEに延びていて、その動作を制御するようになっている。

【0055】並列アレイ・プロセッサの各処理要素セグメントは、単一の半導体チップの範囲内に含まれる処理メモリ要素の複数のコピーを有し、また当該チップ内に含まれるアレイ・セグメントへの制御の通信をサポートするためにアレイ制御バスの一部とレジスタ・バッファとを含んでいる。

【0056】両者とも、メッシュ移動又は経路指定済みの移動を実行することができる。通常、APAPは、2重の相互接続構造を実現する。即ち、その一方では、半導体チップ上の8個のPE(又はPME)が相互に關係し、他方では、複数の半導体チップが相互に關係する。一般に、チップ上のプログラム可能な経路指定は、前述のようにPE(又はPME)間のリンクを確立させるが、複数のノードは、他の方法で関係付けられる。チップ上の通常のトポロジは、 2×4 のメッシュであって、この場合のノードの相互接続は、経路指定済みとすることができる。両システムは、PE(又はPME)間に相互接続ネットワークを有しているために、一のマトリックスが複数の2地点間ネットワークから構成されることを可能にする。

【0057】

【実施例】図1には、一のSIMD又はSIMIMDプログラムの実行中に、一のSIMD計算機内にある複数のピケットをグループ化するための、本発明の改良点が表示されている。一層具体的に説明すると、図1には、一般にはPEと呼ばれる処の、アレイ・プロセッサ内にある複製可能(replicable)な処理要素が表示されている。この複製可能な要素は、一のプロセッサ要素(ALU+複数のレジスタ)と、一の局所メモリと、当該複製可能な処理要素をアレイ・プロセッサ内にある他の複製可能な処理要素と相互接続するための手段を含んでいる。これらの複製可能な処理要素は、SIMDモードにおいて、一のアレイ・コントローラによって制御される。このアレイ・コントローラは、アレイ・プロセッサを構成する処の、1組の複製可能な処理要素の機能を制御するためのものである。複製可能な処理要素の各々は、アレイ・プロセッサの一のノードである。幾つかのシステムでは、各ノードは、複数のチップのグループから成る。本発明の好ましい実施例では、各ノードは、前記の関連する特許出願に記載されているように、1組のピケットから成るものとして考えることができる。また、各ピケットは、単一のチップ上に搭載されている1組の処理要素のうちの1つである。これらの1組の処理要素は、SIMDモードにおいて共通の制御を受けることができるが、MIMDモードにおいても機能することができる。余り高度でないシステムにおいては、これらの1組の処理要素を、個別のプロセッサ要素(ALU、レジスタ、メモリ、I/O)とすることができる。その場合に

(9)

特許2543306

17

において、これらの個別的なプロセッサ要素を、外部通信手段を備えた単一のチップ上に搭載するか、又はそれぞれ独立のチップ要素として複製することができる。本発明のグループ化の概念を利用することが特に有利であるのは、単一のチップ上に1組の処理要素が搭載されているような場合である。本発明は、超並列アレイ・プロセッサにおいて用いることができる。

【0058】前掲の関連する特許出願が好ましい実施例の諸側面を記述しているが、本発明の改良点は、アレイ・プロセッサ内の活動的な全てのビケットによって並列に実行されるアレイ機能として、複数のビケットを複数のグループに割り当てるための構造と、一のグループ問題に特有の計算を行うべき幾つかのビケットを選択するためにグループ化を用いるための機構とを含んでいる。図1には、各ビケットから、複数のビケットのグループ化を制御するための概念が示されている。各グループに割り当てられる一のメモリ位置では、当該グループへの参加を指示するために、各ビケットが、一のビットをセット又はリセットする。このメモリ位置は、個別的なビケットと直接的に関連する他の、局所メモリの一部であることが好ましい。このメモリ位置は、複製可能なビケットの一部を形成することが好ましいが、共有メモリの一部を大域メモリとして割り当て且つ他の一部を局所メモリとして割り当てるようなシステムでは、後者の局所メモリ部分が、このメモリ位置に相当する。最初、特定の共通性を有する全てのビケットから、一のグループが構成される。本発明が、向らかの方法で複数のビケットをグループ化せんとするのには、多くの理由がある。1つの例は、アレイ・プロセッサが2つ以上の多様なジョブを含んでいたり、又は同一ジョブのうちでも極めて多様な複数の部分を含んでいるような場合である。

【0059】複数のビケットは、これら自体を幾つかのグループのうちの1つ以上のグループに割り当てることができ、そしてこれらのグループ化に基づいて、処理を進行させることができる。或る時点で計算を行っているビケットの数が多ければ多いほど好ましいが、幾つかの動作については、ビケットのサブセット・グループを用いて作業を行うことが必要となる。局所的自律性は、この作業を行うためのツールであって、これについては既に説明した。

【0060】次に、アレイ・コントローラが、どのビケットがどのグループに所属するかを知ることを必要とせずに、諸ビケットが、それら自体を諸グループ内に所属させることができる興味深い方法を説明する。

【0061】SIMD計算機は、高度の局所的自律性を有しているとしても、或る時点では1組の同様の問題について作業を行う必要がある。アレイ・プロセッサ内の活動的(参加)ビケットが一の問題について作業を行っている間、当該アレイ・プロセッサの非活動的(非参加)ビケットは、ドーズ状態に置かれる。ドーズ・モー

18

ドに置かれている各ビケットは、当該ビケット内にある問題及びデータが妨害されないように、その活動を制限される。ドーズ・モードに置かれているビケットは、依然としてその局所メモリを読み取ることができ、しかも他のビケットが行うような殆どの動作を行うことができるが、その局所メモリ又はレジスタへの格納を行うことはできない。但し、その例外として、状態ワード内にドーズ・ビットを格納することができるようになってい

る。かくして、一のビケットは、新しい状態を計算するとともに、当該ビケットを再起動(覚醒)させるために、ドーズ・ビットをロードすることができる。【0062】本発明に従ったグループ化の重要な特徴は、各ビケットが一のグループ又は複数のグループに所属するかについての決定を、当該ビケットが行うことにある。従って、この割り当て及び再割り当てプロセスは、一の並列動作であって、これと同様の動作を多数のビケットが並列に行うことができる。アレイ・コントローラは、どのビケットがどのグループに所属するかを知る必要としない。しかし、このような情報を必要とする場合、アレイ・コントローラは、各ビケットからの状態を読み取ることができる。かくして、かかるアレイ・コントローラの機能は、図1において「実行/ドーズ状態」と表記されている他の、各ビケットに関連するレジスタ内に配置される。このレジスタは、当該ビケットの内部に設けられていて、その内容をアレイ・コントローラによって読み取ることができる。

【0063】別個の複数のグループを確立するために、各ビケットの内部で、各グループごとに一のメモリ位置が予約される。全てのビケットの内部にあるメモリ位置「 $x \times 1$ 」は、図1に示されているように、グループ1に対応するドーズ制御ビットを保持する。このドーズ・ビットへロードされるような計算済みの値は、先ず、各ビケットにおいて適当なグループに対応するメモリ位置へ格納される。次いで、この値は、当該ビケットの状態を変化させるように、ドーズ・ビット内へ入れられる。本発明によれば、個別的な処理に先立ち、幾つかのグループを識別し且つ設定するために、これらのグループに対応するメモリ位置に、適当な2進パターン(1/0)をロードする。一のグループを識別するには、一の動作の桁上げ出力及び/又はゼロ条件を調べるとともに、その値を一のグループへロードするようすればよい。諸グループを設定するには、次のような方法がある。

【0064】1の桁上げ出力を有する他の、全てのビケットをグループ化する。・選択されたメモリ位置の内容が正である他の、全てのビケットをグループ化する。・選択されたメモリ位置の内容が特定の同報通信値に等しい他の、全てのビケットをグループ化する。

【0065】もし、一のビケットがグループ2に所属するのであれば、当該ビケット内のメモリ位置「 $x \times 2$ 」は、論理1を保持し、さもなければ、論理0を保持す

(10)

特許2543306

19

る。フーズ・ビットを変更するには、3つの指令(L O A D / S E T / R E S E T)を用いることができる。第1の指令「LOAD DOZE」は、活動的なグループを、各々のメモリ位置(例えば、 $x \times 3$)において論理1を保持するような全てのビケットから成るグループへ変更させる。以前にオン状態であったが、そのメモリ位置「 $x \times 3$ 」に論理0を保持するようなビケットは、オフに転じられる。第2の指令「SET DOZE」は、各々のメモリ位置(例えば $x \times 4$)において論理1を保持するような全てのビケットを、活動的なグループに追加する。この場合は、如何なるビケットもオフに転じられない。第3の指令「RESET DOZE」は、各々のメモリ位置(例えば $x \times 4$)において論理1を保持するような全てのビケットを、活動的なグループから除去する。

【0066】これらの指令、即ちLOAD、SET (AND) 及びRESET (OR)を用いると、既存のグループの論理的な関係に基づいて、新しいグループを構築するための論理機能を効果的に使用することができる。また、集合理論を用いて、このビケット・データフロー内で既存の複数のグループを論理的にマージすることによって、一の新しいグループを構築することができる。

【0067】この点に至るまでは、アレイ・コントローラは、複数のグループの存在を知っている。なぜなら、このアレイ・コントローラは、これらのグループとの処理に拘わっていて、活動的な処理をグループ間で変更させてきたからである。しかし、このアレイ・コントローラは、どのビケットがどのグループに所属するか、又は実際に特定のグループが空であるか(ビケットが全くない)否かについては、全く知らない。

【0068】このアレイ・コントローラは、必要に応じて、他の機能を用いることにより、個別的なビケット上の情報を読み取ることができる。これらの機能の結果

20

は、対象とするビケットのアドレスを与えることにある。以下に、3つの例が示されている。

・所定のグループ内で、最新の値を有するビケットを見つける。

・所定のグループ内で、最小のアドレスを有するビケットを見つける。

・所定のグループ内で、互いに最も接近しているような値を有するビケットを見つける。

【0069】これらのケースの各々において、アレイ・コントローラは、一連の命令を実行することを通して、所望の値を有するビケットを分離しなければならない。所望のビケットを分離するために、種々のビケット間命令を用いることができる。この時点において、所望のビケットは、依然として覚醒している唯一のビケットである。アレイ・コントローラは、そのアドレスを要求し、その局所メモリからデータを読み取るか又はその局所メモリにデータをロードすることができる。

【0070】アレイ・プロセッサ内のグループ化機能は、SIMDにおいてのみではなく、SIMIMDなどの他のモードにおいても、強力なツールとなる。

【0071】

【発明の効果】以上のように、本発明によれば、複数のビケット(PE)の動的で且つ自律的なグループ化を有効に行うための機構を提供することができる。

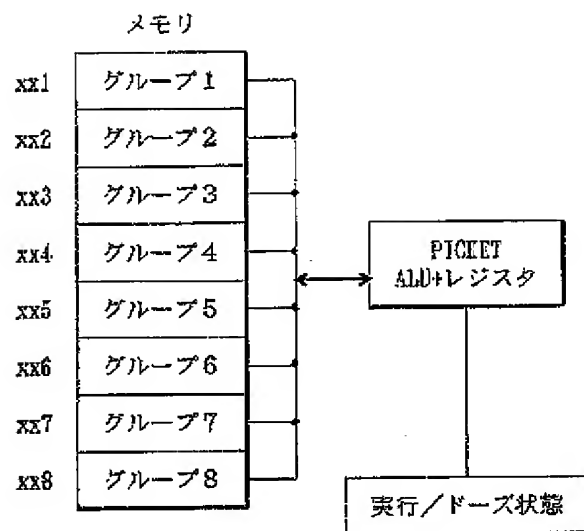
【図面の簡単な説明】

【図1】各ビケットから複数のビケットをグループ化するための制御概念を示す図である。各グループに割り当てられる一のメモリ位置では、当該グループ内への参加を指示するために、各ビケットが、一のビットをセット又はリセットする。このメモリ位置は、個別的なビケットと直接的に関連する処の、局所メモリの一部であることが好ましい。

(11)

特許2543306

【図1】



フロントページの続き

(72)発明者 ジェイムズ ワレン ディーフェンダー
 ファー
 アメリカ合衆国13827、ニューヨーク州
 オウゴ、フロント ストリート 396

(72)発明者 ビーター マイケル コッジ
 アメリカ合衆国13760、ニューヨーク州
 エンディコット、ドーチェスター ドラ
 イヴ 7

(56)参考文献 米国特許4831519 (U.S. A)